

**(54) CERAMIC MULTILAYER INTERCONNECTION SUBSTRATE**

(11) 1-5097 (A) (43) 1.1.1989 (19) JP

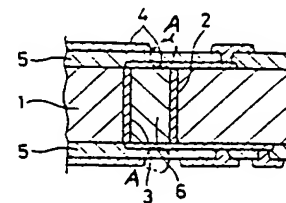
(21) Appl. No. 62-161679 (22) 2.1.1987

(71) MITSUBISHI ELECTRIC CORP (72) YOSHIYA KUDOU

(51) Int. Cl. H05K3/46

**PURPOSE:** To eliminate generation of cracks to obtain a ceramic multilayer interconnection substrate with high density by filling the central part of a through hole with an insulating material.

**CONSTITUTION:** A conductive layer 3 for through hole is formed on the inwall of a through hole 2 of a substrate insulating layer 1. A filling layer 6 of the same component as that of the insulating layer 1 is formed in the through hole 2. And a printed conductive layer 4 is formed on each of both surfaces of the substrate body comprising the insulating layer 1 and the filling layer 6. Then, the ratio which the conductive layer 3 forms is so small that the stress, which results from the difference of the thermal expansion coefficient between the insulating layer 1 and the filling members 3, 6 in the through hole 1 and stresses between upper and lower surfaces of the through hole 2, is reduced. As a result, cracks are prevented from being generating in the portion A. Therefore, a ceramic multilayer interconnection substrate with high density can be obtained.

**(54) CERAMIC MULTILAYER INTERCONNECTION SUBSTRATE**

(11) 1-5098 (A) (43) 10.1.1989 (19) JP

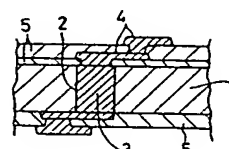
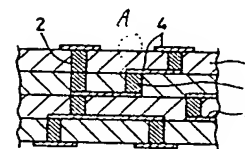
(21) Appl. No. 62-161678 (22) 29.6.1987

(71) MITSUBISHI ELECTRIC CORP (72) YOSHIYA KUDOU

(51) Int. Cl. H05K3/46

**PURPOSE:** To prevent a ceramic member from cracking, to reduce resistance of a conductor, and to increase a wiring density, by employing alumina, molybdenum, and tungsten for respective materials if an insulating layer, a conductive layer filling a through hole, and a wiring layer.

**CONSTITUTION:** Insulating layers 1, 5 are made of alumina. A conductive layer 3 which fills a through hole 2 is made of molybdenum. And a wiring layer 4 is made of tungsten. Then, the through hole 2 is so filled with a conductive layer 3 of molybdenum whose thermal expansion coefficient is closer to that of alumina rather than that of tungsten that cracks are difficult to be generated in the part A. Accordingly, generation of warpage resulting from mismatch of the coefficient of contraction between the green sheet and the wiring layer 4 is reduced effectively. Therefore, the resistance of a conductor is reduced, and the wiring density is increased.

**(54) SHORTEST ROUTE SEARCH SYSTEM**

(11) 1-5100 (A) (43) 10.1.1989 (19) JP

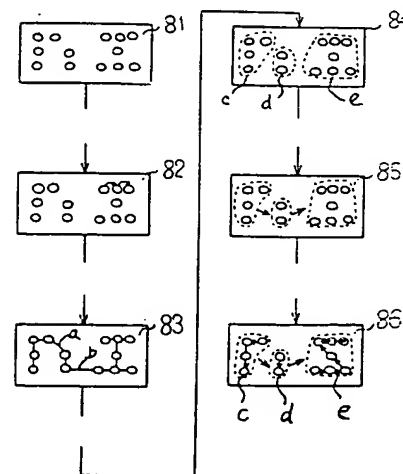
(21) Appl. No. 62-159616 (22) 29.6.1987

(71) HITACHI LTD (72) SHINO TAKAHASHI(3)

(51) Int. Cl. H05K13/04, B23P21/00//G05B13/00

**PURPOSE:** To determine in a short time mounting order which satisfies conditions that control the mounting order of components to be mounted on a printed wiring board and shortens mounting workhours, by employing a novel method for determination of mounting order.

**CONSTITUTION:** In determining the mounting order of many components i to be mounted on a printed wiring board k, the conditions that control the mounting order of the components are first set in step 10. Next, in step 20, the each of workhours which are required when other component j next to one component i is mounted (being designated a cost in the following description) is calculated respectively. In step 30, the combination 83, in which only one way of route strapping components together exists and the sum of the costs is smallest, is selected. In step 40, excepting the large costs a and b included in this combination, the components are divided into groups c, d and e. In step 50, the shortest route among routes which strap the groups c, d and e together is searched. Finally, in step 60, the shortest route in each of the groups c, d and e, is searched respectively.



**THIS PAGE BLANK (USPTO)**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01005100 A

(43) Date of publication of application: 10 . 01 . 89

(51) Int. Cl

H05K 13/04  
B23P 21/00  
// G05B 13/00

(21) Application number: 62159616

(22) Date of filing: 29 . 06 . 87

(71) Applicant: HITACHI LTD

(72) Inventor: TAKAHASHI SHINO  
ARAI YOSHIHISA  
KOBAYASHI HIDEAKI  
KONISHI JIYUNKO

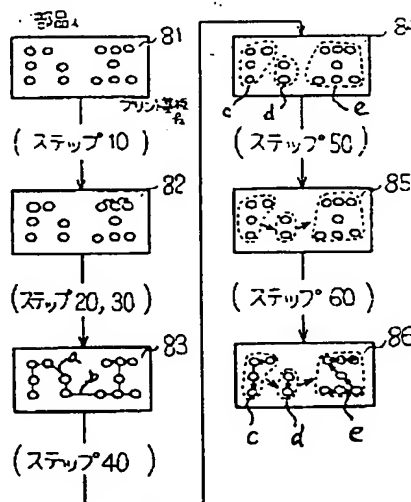
(54) SHORTEST ROUTE SEARCH SYSTEM

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To determine in a short time mounting order which satisfies conditions that control the mounting order of components to be mounted on a printed wiring board and shortens mounting workhours, by employing a novel method for determination of mounting order.

CONSTITUTION: In determining the mounting order of many components i to be mounted on a printed wiring board k, the conditions that control the mounting order of the components are first set in step 10. Next, in step 20, the each of workhours which are required when other component j next to one component i is mounted (being designated a cost in the following description) is calculated respectively. In step 30, the combination 83, in which only one way of route strapping components together exists and the sum of the costs is smallest, is selected. In step 40, excepting the large costs a and b included in this combination, the components are divided into groups c, d and e. In step 50, the shortest route among routes which strap the groups c, d and e together is searched. Finally, in step 60, the shortest route in each of the groups c, d and e, is searched respectively.



⑫ 公開特許公報(A)

昭64-5100

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月10日

H 05 K 13/04

B 23 P 21/00

// G 05 B 13/00

3 0 7

Z-6921-5F

Z-7336-3C

Z-8527-5H

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 最短路探索方式

⑰ 特 願 昭62-159616

⑱ 出 願 昭62(1987)6月29日

⑲ 発 明 者 高 橋 志 乃 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 荒 井 良 尚 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 小 林 秀 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 小 西 潤 子 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

とめ、

1. 発明の名称

最短路探索方式

2. 特許請求の範囲

1. プリント基板上の指定された任意の位置に自動部品挿入機で電子部品を挿入する際に必要となる部品挿入順序を、部品の挿入順序に関する制約条件を満たし、かつ、最初の部品の挿入が始まってから最後の部品の挿入が終了するまでの時間が短くなるように考慮した最短路探索方式において、プリント基板に取付ける全部品間にコストを設け、

1) 2部品から成る部品の組を組み合わせることにより任意の部品間の経路が唯一存在する組合せの中から、コストの総和が最小となるものを選び、

2) 該組合せに含まれる部品の組の中からコストの大きいものを除いた残りの組を組み合わせることにより、部品間の経路を作ることができ部品どおしを1つの集合(群)としてま

前記した群の間の最短路探索および群の中の最短路探索を行なうことで全部品の最短路探索を行なうことを特徴とする最短路探索方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、部品間に挿入順序に関する制約条件を持つ多数の部品をプリント基板上に自動挿入する際に、最小の挿入時間で、全部品を挿入するように挿入順序を決める最短路探索方式に関するものである。

〔従来の技術〕

従来、多数の散在した点(例えばプリント基板上に挿入する部品)をどのような順序で通過すれば、そのルート長(部品の挿入においては挿入時間)が最短となるかを決定する方法としては、特開昭59-108106号公報に記載のように、1点検査法、2点検査法およびn点検査法と云う方法がある。しかし、点の通過順序に関する制約条件については配慮されていなかった。

また、すべての順序を求め、制約条件を満足する順序の中で挿入時間が最小の順序を求める「完全列挙法」は計算時間の配慮がされていなかった。

〔発明が解決しようとする問題点〕

上記従来技術のうち、1点検索法、2点検索法およびn点検索法では、前述の如く点の通過順序に関する制約条件について配慮されておらず、プリント基板に取付ける部品間に挿入順序に関する制約条件のある部品の挿入順序決定に使用することができないという問題があった。また「完全列挙法」では点の数すなわち挿入部品数が大きくなると計算時間が実用範囲を超えてしまうという問題があった。

本発明の目的は、プリント基板に取付ける部品間に挿入順序に関する制約条件を有する多数の部品を最小挿入時間で挿入する順序を短時間で求める最短路探索方式を提供することにある。

〔問題点を解決するための手段〕

上記した本発明の目的は

- 1) 2部品から成る部品の組を組み合わせること

という方法を用いることで、

- (a) 最短路探索に要する計算時間を短縮し、
- (b) 制約条件を満足し、
- (c) 挿入作業時間の短い挿入順序を選ぶことができる。

〔実施例〕

以下、図面に従って本発明の一実施例を詳述する。第1図は本発明の具体的な装置構成の実施例である。第1図において1は磁気ディスク装置、2はフロッピーディスク等の入出力装置（以下P/D入出力装置と略す）、3は最短路探索を行なう処理装置、4はX-Yプロッタで決定された部品挿入順序を表示するためのものである。

本発明は、予め磁気ディスク装置1に格納されている挿入時間に関する情報、挿入機のタイプに関する情報とP/D入出力装置2から入力される、どのような部品をどの位置に挿入するかに関する組立情報を使用して、処理装置3において基板上への部品の挿入順序を本発明の最短路探索方式により決定する。さらにその結果をX-Yプロッタ

より任意の部品間の経路が唯一存在する組合せの中から、コストの総和が最小となるものを選び、

- 2) 該組合せに含まれる部品の組の中から、コストの大きいものを除いた残りの組を組み合わせることにより、部品間の経路を作ることができる部品どおしを1つの集合（群）としてまとめ、前記した群の間の最短路探索および群の中の最短路探索を行なうことで全部品の最短路を探索する手段を用いることで達成される。

〔作用〕

群を作成する手段として、

- 1) 2部品から成る部品の組を組み合わせることにより任意の部品間の経路が唯一存在する組合せの中から、コストの総和が最小となるものを選び

- 2) 該組合せに含まれる部品の組の中から、コストの大きいものを除いた残りの組を組み合わせることにより、部品間の経路を作ることができる部品どおしを1つの群とする

4に出力する。

次に第1図の処理装置3について述べる。第2図は処理装置3で行なわれる処理の流れを示した図である。これをステップごとに分けて説明する。

ステップ10：

挿入機のヘッドが既に挿入済みの部品とぶつかるような挿入順序を選ばないようにするため、挿入順序に関する制約条件を作る。この制約条件を挿入作業先行関係と呼び、例えば第3図に示すように部品iを基板kに挿入する挿入機ヘッドと部品jがぶつかる場合は、部品iは部品jより先に基板kに挿入しなくてはならないという挿入作業先行関係を作る。

ステップ20：

部品iの次に部品jを挿入する時に、部品iの基板kへの挿入が終ってから、部品jの基板kへの挿入が始まるまでにかかる時間を部品i、j間のコストとして算出する。コスト算出は以下の4項目から行なうが、部品i、j間に基板kへの挿入作業に関する制約条件がある場合は必ずコスト

1) とする。

- 1) 異なる部品を連続して基板に挿入する場合に発生する部品供給に要する時間
- 2) 連続して挿入する部品の基板に挿入方向が異なる場合、挿入機ヘッド(または基板)が回転するのに要する時間
- 3) 連続して基板へ挿入する部品の挿入位置に基づき、挿入機ヘッド(または基板)が移動するのに要する時間
- 4) 連続して基板に挿入する部品のピッチが異なる場合、挿入機ヘッドのピッチ変更に必要な時間

上記1)～4)がどのようにコストに関わるかは挿入機によって異なる。例えば、1)～4)の時間の最大値または合計値等をコストとして用いる。

ステップ30:

2部品から成る部品の組を組合わせることにより任意の部品間の経路が唯一存在する組合せの中からコストの総和が最小となるものを選ぶ。

第4図に簡単な例を示す。図において $P_1 \sim P_6$

に部品 $P_1, P_2, P_3$ を1つの群、部品 $P_4, P_5, P_6$ を他の1つの群とすることができる。

ステップ50:

群の間の最短路探索を行なう。

ステップ60:

群の中の最短路探索を行なう。

第8図は本方式を用いた例を示している。第8図中、基板81を対象として最短路探索を行なった場合、ステップ10により、基板82上に矢印で示したような挿入作業先行関係が決まる。ステップ20によりコスト算出を行なった後、ステップ30により基板83上に示すように、「2部品から成る部品の組を組合せることにより任意の部品間の経路が唯一存在する組合せの中から、コストの総和が最小となるもの」を選ぶ。ステップ30により得た組合せから、ステップ40で、コストの大きいものを取り除き基板84中に破線をもって示すように群ができる。ステップ50で群の間の最短路探索、ステップ60でこの群の中の最短路探索をした結果が基

は6個の部品とし、括弧内の数値は部品間のコストを示している。第4図の例において「2部品から成る部品の組を組合せることにより任意の部品間の経路が唯一存在する組合せの中から、コストの総和が最小となるもの」を第5図に示す。この組合せとは、 $(P_1, P_2)$ を部品 $P_1$ と $P_2$ の組とすると、

$$\{(P_1, P_2), (P_2, P_3), (P_3, P_4), (P_4, P_5), (P_5, P_6)\}$$

であり、例えば $P_1$ から $P_4$ の間には $(P_1, P_2), (P_2, P_3), (P_3, P_4)$ の4つを組合わせることで経路が唯一存在する第6図に示すように、任意の部品間の経路が唯一存在している。またコストの総和は13となり最小である。

ステップ40:

ステップ30で得た組合せに含まれるコストの大きいものを除いた残りの組を組合せることにより部品間の経路を作ることができる部品どおしを1つの群とする。第4図の例では、第5図の組合せから $(P_5, P_6)$ を除くことで、第7図に示すよう

本実施例によれば、従来人手で部品の挿入順序を決定していたものに比較すると部品数300個の時、数時間かかっていたものが、10秒以内部品数2000個でも3分以内で決定できる。またその時の最短路に従い部品を挿入した場合の挿入に要する時間(挿入作業時間)は人手と同等以上であり、充分実用可能である。

〔発明の効果〕

以上述べたように、本発明によれば、部品間の挿入順序に関する制約条件を満足し、かつ挿入作業時間の短い部品の挿入順序を実用可能な計算時間で決定することができるので挿入順序決定の省力化、自動化に効果がある。

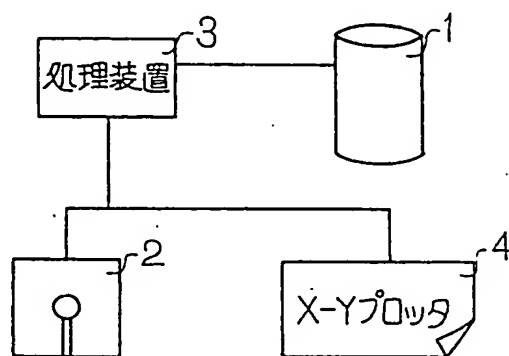
#### 4. 図面の簡単な説明

第1図は本発明の具体的な装置構成図、第2図は本発明のアルゴリズムのフローチャート、第3図は挿入作業に関する制約条件の一例を示す図、第4図から第7図は第2図のステップ30および40を説明するための説明図、第8図は本発明により

説明図である。

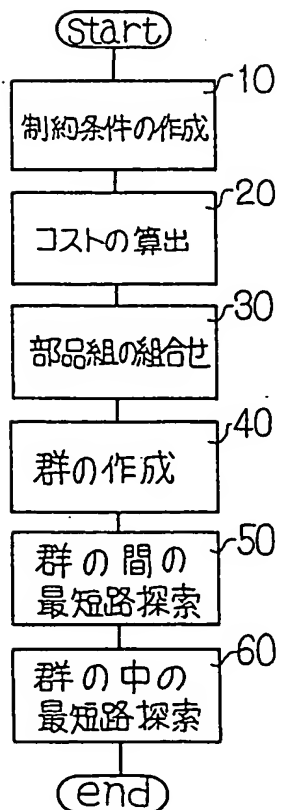
- 1 ..... 磁気ディスク装置
- 2 ..... フロッピーディスク入出力装置
- 3 ..... 処理装置
- 4 ..... X-Yプロッタ

第1図

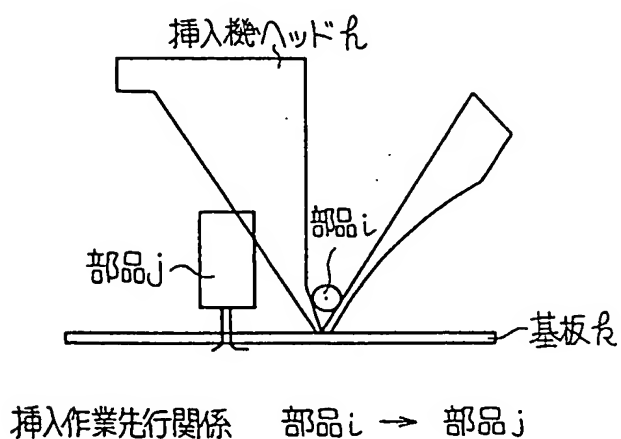


代理人 弁理士 小川 勝 男

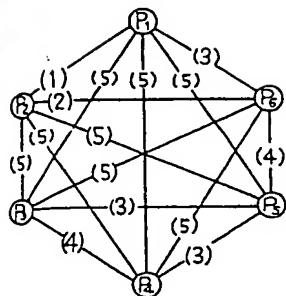
第2図



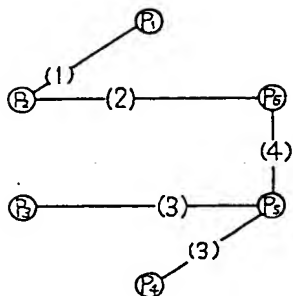
第3図



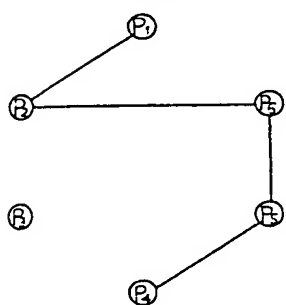
第4図



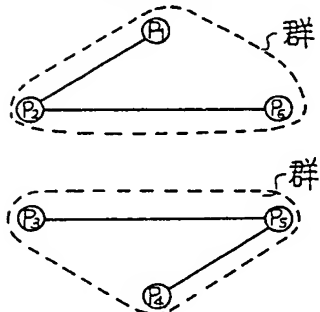
第5図



第6図



第7図



第8図

